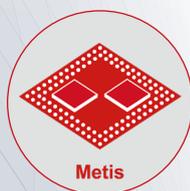


3DIC先进封装设计分析全流程EDA



XPPEEDIC
ACCELERATE YOUR IC DESIGN

+



SYNOPTIS · 新思

3D STACK

2.5D INTERPOSER

CHIPLET

2022

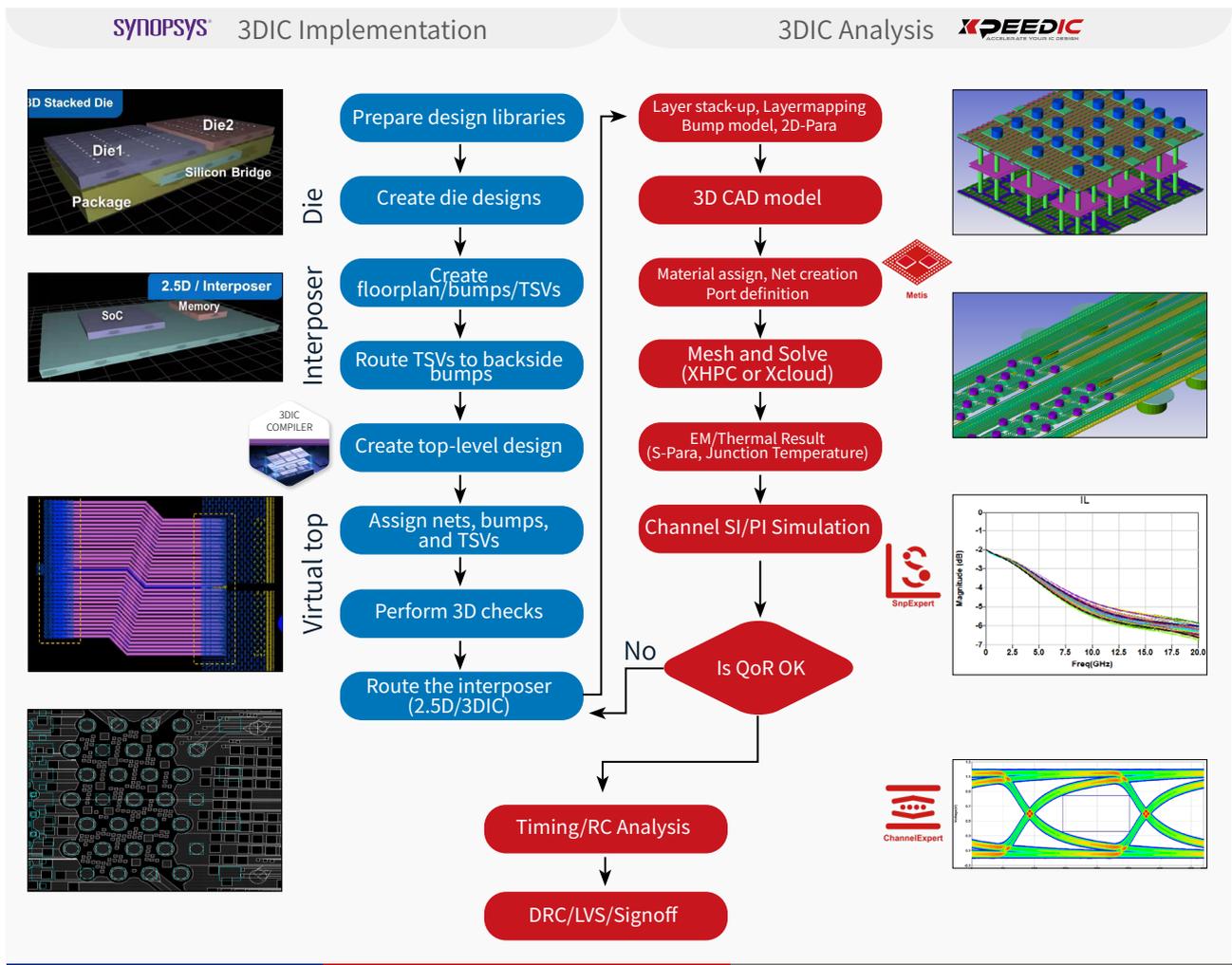


3DIC 先进封装设计分析全流程EDA 平台

行业背景

随着芯片制造工艺不断接近物理极限，芯片的布局设计——异构集成的 3DIC 先进封装（以下简称“3DIC”）已经成为延续摩尔定律的最佳途径之一。3DIC 将不同工艺制程、不同性质的芯片以三维堆叠的方式整合在一个封装体内，提供性能、功耗、面积和成本的优势，能够为 5G 移动、HPC、AI、汽车电子等领先应用提供更高水平的集成、更高性能的计算和更多的内存访问。然而，3DIC 作为一个新的领域，之前并没有成熟的设计分析解决方案，使用传统的脱节的点工具和流程对设计收敛会带来巨大的挑战，而对信号、电源完整性分析的需求也随着垂直堆叠的芯片设计流行而爆发式增长。

3DIC 先进封装设计分析流程图



平台总览

芯和半导体 3DIC 先进封装设计分析全流程 EDA 平台是一个由芯和半导体完全主导的平台，集合了新思科技 3DIC Compiler 业界顶级的面向 2.5D/3D 多裸晶芯片系统设计和分析能力和芯和 Metis 在 2.5D/3D 先进封装领域的强大仿真分析能力；由芯和国内团队负责售前和售后的支持与服务，提供无时差的快速响应和技术反馈；全面支持 TSMC 和 Samsung 的先进封装工艺节点。

该平台提供了从架构探索、物理实现、分析验证、信号完整性仿真、电源完整性仿真到最终签核的 3DIC 全流程解决方案，是一个完全集成的单一操作环境，极大地提高 3DIC 设计的迭代

速度，并做到了全流程无盲区的设计分析自动化。通过首创“速度-平衡-精度”三种仿真模式，帮助工程师在 3DIC 设计的每一个阶段，根据自己的应用场景选择最佳的模式，以实现仿真速度和精度的权衡，更快地收敛到最佳方案，芯和 3DIC 先进封装设计分析全流程 EDA 平台能同时支持芯片间几十万根数据通道的互连，具备了在芯片-Interposer-封装整个系统级别的协同仿真分析能力。

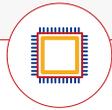
芯和半导体是新思科技在 3DIC EDA 领域中国区战略合作伙伴，负责 3DIC Compiler 在中国的售前、售后、支持与服务工作。

主要优势



统一的设计环境

工业界唯一的 3DIC 设计、分析、验证全流程解决方案



杰出的可扩展性

在上千亿数量级的晶体管上实现片上系统集成



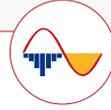
超高的设计效率

用先进的实现和分析引擎加快探索和设计



金牌级的签核

全范围的设计闭合和收敛到优化的 PPA/mm³



顶尖的多物理场分析能力

集成业界顶尖的信号、电源完整性以及热分析平台，实现快速的收敛并减少设计迭代

生态系统



台积电与我们的开放创新平台® (OIP) 生态系统合作伙伴开展密切合作，旨在推动高性能计算领域的下一代创新。这次合作将新思科技的 3DIC Compiler 平台与台积电的芯片堆叠以及先进封装技术相结合，有助于协助我们的客户满足功耗和性能方面的设计要求，并在高性能计算应用的先进 SoC 设计中取得成功。

台积电创新的 3DIC 技术，例如 CoWoS 和 InFO，以极具竞争力的成本为客户提供更强的功能和更高的系统性能，协助客户实现创新。我们与新思科技合作，为使用台积电 CoWoS 和 InFO 封装技术的客户提供认证的解决方案，协助其高效快速完成功能化产品。

台积电设计基础设施管理事业部副总经理——Suk Lee

SAMSUNG

我们与新思科技的合作可为客户提供全面的协同设计和协同分析解决方案，采用三星多裸晶芯片集成技术进行设计，可确保高生产率并缩短生产时间。

三星电子制造设计技术部副总裁——Sangyun Kim



3DIC Compiler

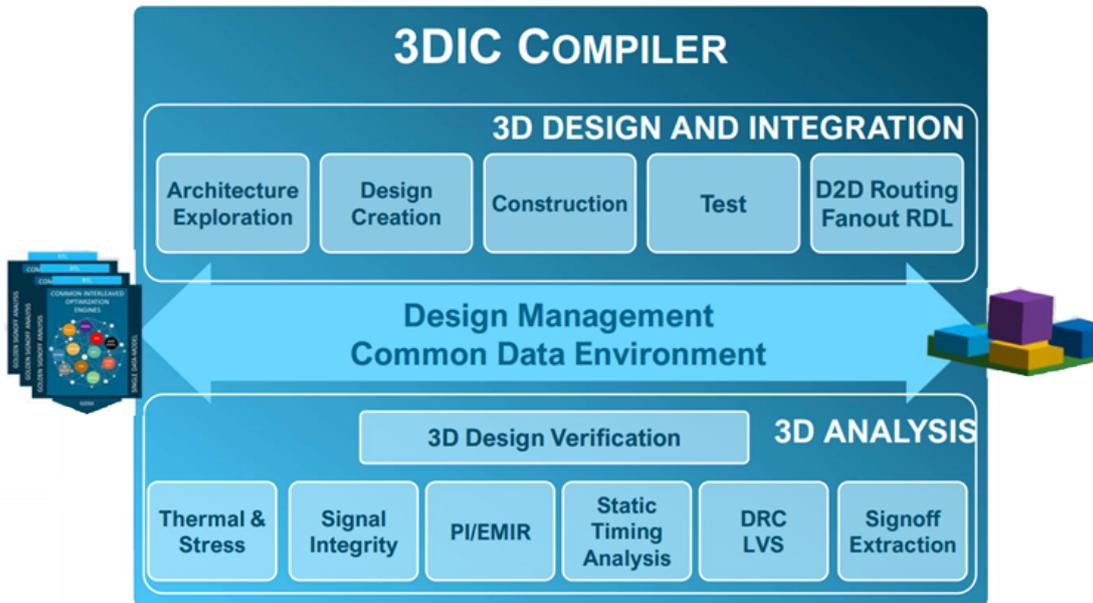
SYNOPTYS 新思

业内仅有的统一、2.5D 和 3D 多裸晶芯片封装协同设计与分析

产品总览

新思科技的 3DIC Compiler 平台是一个完整的端到端解决方案，用于高效的 2.5D 和 3D 多裸晶系统集成。3DIC Compiler 建立在新思科技 Fusion Design Platform™ 的通用的、统一数据模型的基础架构之上，并结合了众多变革性的多裸晶设计功能，以提供一个从架构到签核的完整的平台。而所有这些都集中在一个独特的、整合的用户环境中。这种超融合的解决方案集成了：沉浸式 2D 和 3D 可视化功能、跨层探索和规划、设计和实现、DFx 以及系统级验证和签核分析，以带来超高水平的设计效率，以及扩展容量和性能的能力，从而无缝支持多个堆叠的异构工艺裸晶，包括数十亿个裸晶间连接。

重要特色



1

高度可扩展的数据环境可以实现数千亿晶体管的 2.5D/3D 芯片系统集成

2

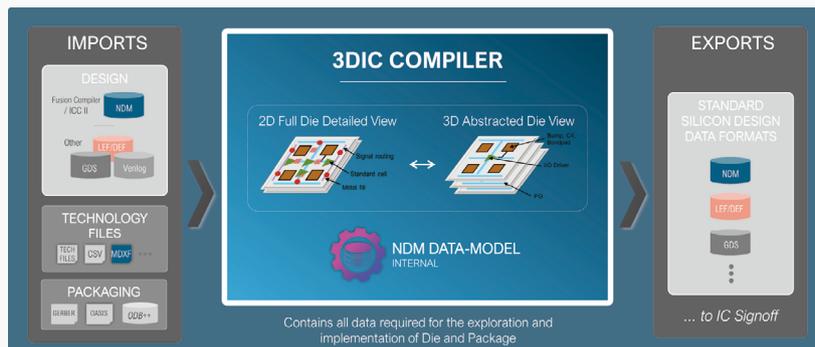
创新直观的 2D、3D 界面可以加快设计、仿真、验证的时间周期

3

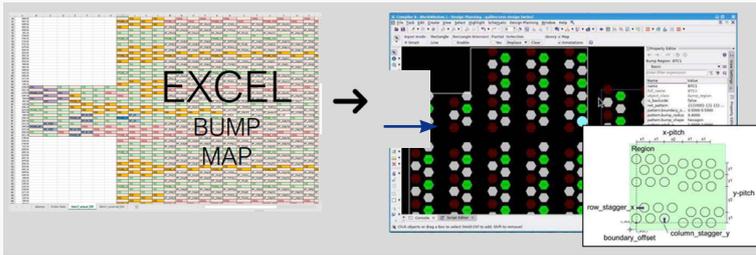
集成业界先进的 STA/SI/PI/Thermal 等分析平台，可实现快速设计收敛与最佳的 PPA/mm3

4

支持主流 Foundry 的工艺文件格式与常用封装文件格式



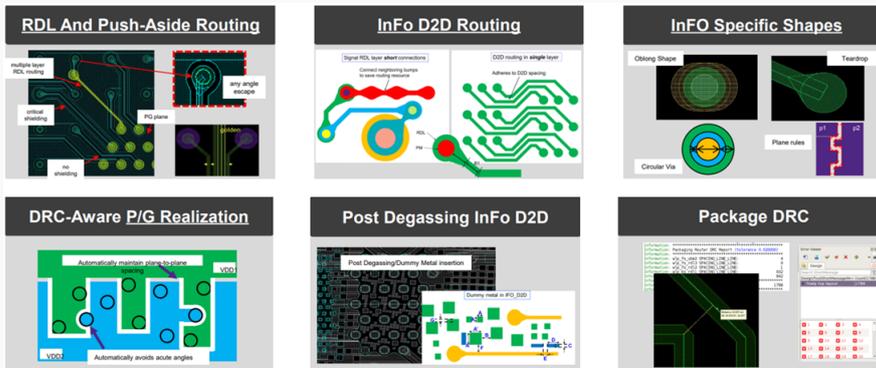
5 基于 GUI 的设计界面，可以支持数亿 Bump 与 TSV 的自动化管理与规划



6 支持丰富多样的 3DIC 版图互连 (Auto-HBM Routing, RDL Routing, Custom Routing, PG Routing, Signal Routing, Bus/Trunk Routing)

<p>Auto-HBM Routing</p> <p>JEDEC HBM bus routing support with optional shielding and differential pairs</p>	<p>RDL Routing</p> <p>Net-based 45-degree RDL (Redistribution Layer) Routing</p>	<p>Custom Routing</p> <p>Visually-assisted automated custom layout editing for productivity</p>
<p>PG Routing</p> <p>PG grids, rails and straps synthesis with specified pitch</p>	<p>Signal Routing</p> <p>Net-based 90-degree full-chip signal routing with high-perf DRC, optimization & congestion management</p>	<p>Bus/Trunk Routing</p> <p>Easy-to-use and fast innovative bus routing</p>

7 支持快速自动化的基于 InFO 工艺的复杂 Fan out 版图设计



8 支持快速自动化的基于 CoWoS 的版图互连, PG Mesh 生成, MiM & iCap 插入, 全芯片验证等

<p>Multi-Die Connectivity Implementation (Bump, μBump, Hybrid Bump, TSV, ...)</p> <ul style="list-style-type: none"> • 2D/3D visualization • Automated bump mirroring • Native DRC checking • End-to-end logical connectivity support 	<p>Fast, Automated 3DIC Routing</p> <ul style="list-style-type: none"> • Best-in-class optimized engines: True 3DIC routing solution • Auto HBM3/2, RDL Fanout routing, and more... • DRC-clean 	<p>IEEE1838 Multi-die DFT Support</p> <ul style="list-style-type: none"> • TestMAX-driven • Re-use high-speed IO interfaces – reduced test time 	<p>Auto MiM & iCap Insertion</p>	<p>Automation for Handling Scale Complexity of Modern Advanced Packaging</p>
		<p>Efficient PG-Mesh Creation</p>	<p>Full-stack In-Design Verification</p> <ul style="list-style-type: none"> • IC Validator-driven DRC/LVS • Scalable • Cloud-ready 	

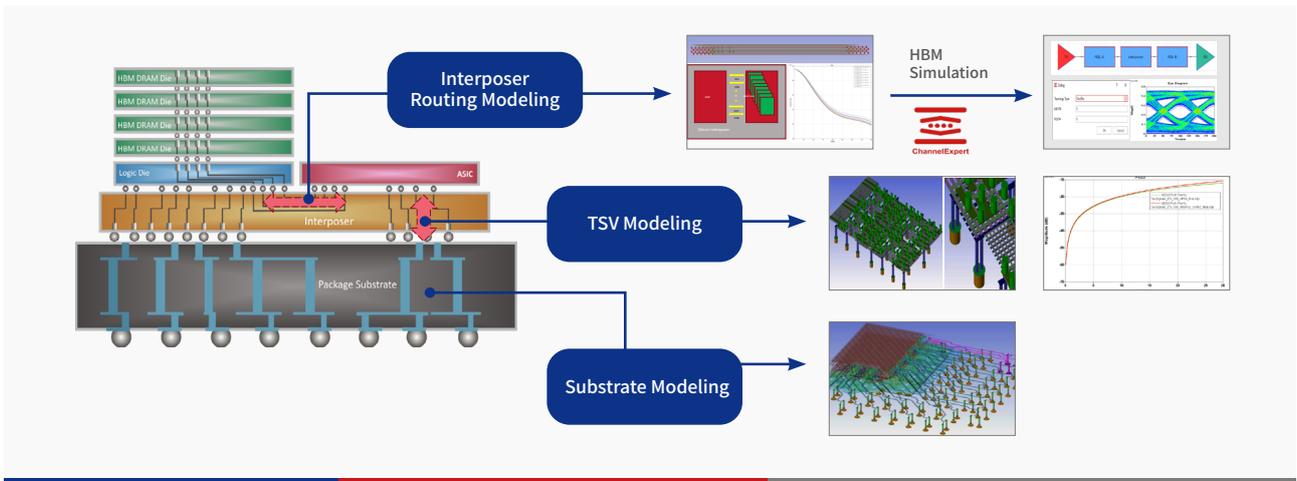


Metis – 2.5D/3DIC 先进封装分析



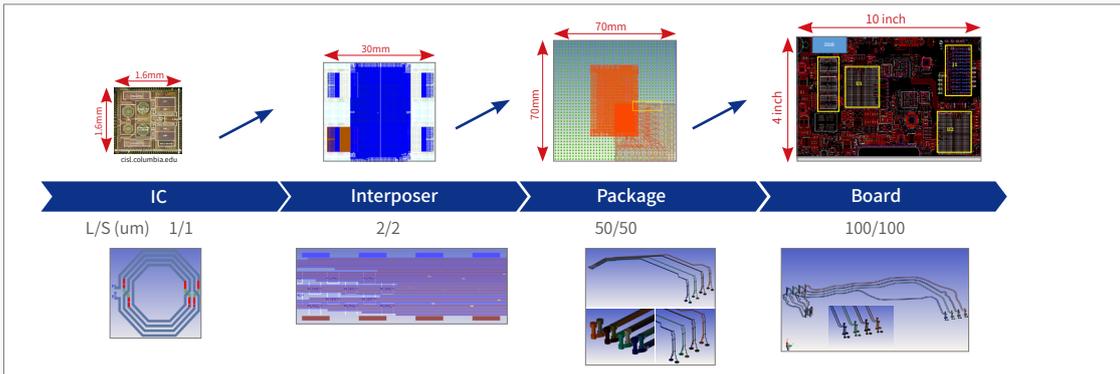
产品览

芯和半导体的 Metis 是一款应用于裸芯片、3DIC、Chiplet 或者先进封装联合仿真的 EDA 仿真平台，可以与 3DIC Compiler 设计环境无缝集成，形成业界独一无二的 3DIC 设计、仿真、验证解决方案。它允许用户跳过传统建模工具的繁琐配置，并通过考虑关键区域的整个物理环境来快速精准地实现仿真设计的优化；Metis 内嵌的三维全波高精度电磁仿真引擎 MoM Solver 可以涵盖 DC-THz 的仿真频率，完全满足异构集成中高速高频等应用的精度要求，并可以完美支持纳米到厘米级别的跨尺度仿真；同时集成芯和独创的 Absorbing Fence, Magnetic Current 和 Mesh Tunneling 等核心技术，可以在保证精度的前提下，实现超大规模异构封装的仿真需求。



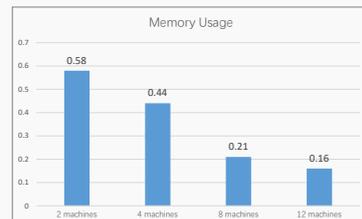
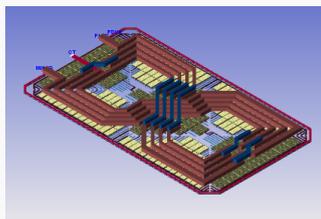
重要特色

1 Metis 集成的跨尺度计算引擎可以完美支持芯片 - 封装 - 板级协同仿真分析



2 支持多核 / 多机并行计算技术 (XHPC)，可以大幅度提高仿真分析效率

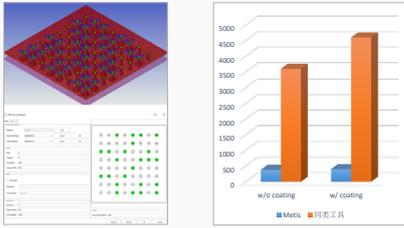
利用矩量法 ACA 算法压缩之后矩阵块的低秩属性来实现多机内存级分布式计算、突破求解规模限制首创矩阵级分布式求解器，允许访问无限的计算能力和内存 (Azure, AWS)。



Unknown: 46 w, 4 ports Wall time: 5.5h Memory usage: 292 GB

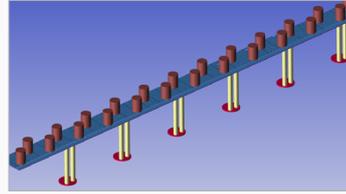
3 支持仿真求解 TSV 侧壁上的耗尽层 (SiO2)

与同类工具相比, Metis 处理 SiO2 的方法能保证设计性能无损。



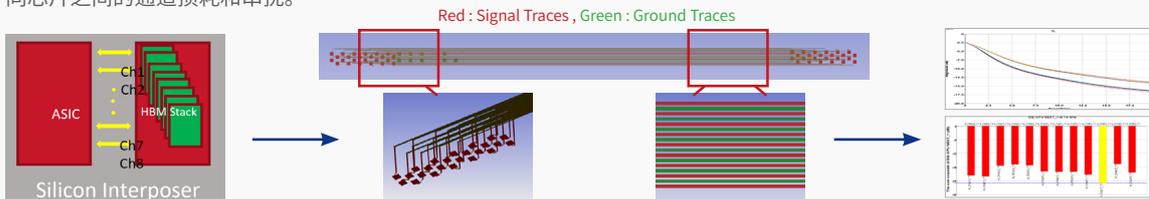
4 互连模型提取

- Metis 可以使用一个单一的求解器为 HBM 和芯片封装 TSV 通道提取互连模型, 避免出现切割和缝合的错误
- 支持导入 GDS 和 ODB++ 文件格式。



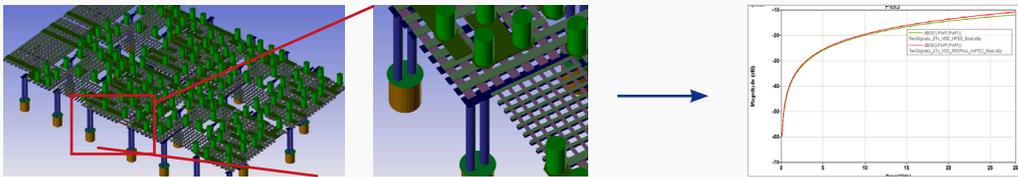
5 Interposer 布线建模

HBM 信号在 ASIC 芯片和 HBM 内存颗粒之间传输。Metis 允许用户通过向导实现 interposer 建模, 帮助用户准确模拟不同芯片之间的通道损耗和串扰。



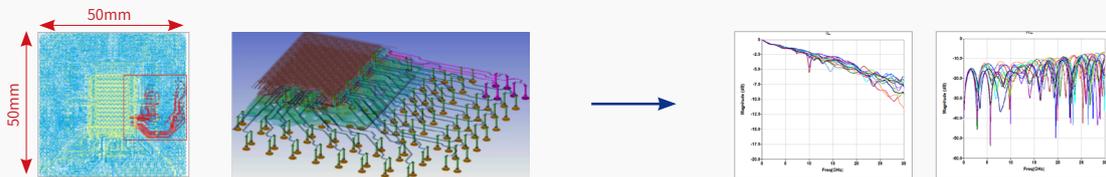
6 TSV 建模

由于 TSV 引入的损耗和串扰, 具有 TSV 的芯片 - 封装通道对通道性能至关重要。Metis 可以准确地提取芯片 - 封装通道的模型。



7 封装 / 基板建模

为了实现对于系统 SI 和 PI 性能的评估, 封装基板上的传输线和配电网需要精确的 EM 仿真。Metis 为 FCBGA 封装提供了方便的仿真向导。



8 通道仿真

ChannelExpert 提供了一种使用 Metis 提取的互连模型构建通道的快速方法。通过运行通道仿真, 设计人员可以根据内置合规性规范检查性能, 并在必要时优化通道。





关于芯和半导体

芯和半导体是国产 EDA 行业的领军企业，提供覆盖 IC、封装到系统的全产业链仿真 EDA 解决方案，致力于赋能和加速新一代高速高频智能电子产品的设计。

芯和半导体自主知识产权的 EDA 产品和方案在半导体先进工艺节点和先进封装上不断得到验证，并在 5G、智能手机、物联网、人工智能和数据中心等领域得到广泛应用，有效联结了各大 IC 设计与制造公司。

芯和半导体同时在全球 5G 射频前端供应链中扮演重要角色，其通过自主创新的滤波器和系统级封装设计平台为手机和物联网客户提供射频前端滤波器和模组，并被全球著名的半导体分析机构 Yole 列入全球 IPD 设计的主要供应商之一（Dedicated IPD Filter Design House）。

芯和半导体创建于 2010 年，前身为芯禾科技，运营及研发总部位于上海张江，在苏州、武汉、西安设有研发分中心，在美国硅谷、北京、深圳、成都、西安设有销售和技术支持部门。其中，滤波器业务拥有自有品牌 XFILTER，由旗下全资核心企业，上海芯波电子科技有限公司负责开发与运营。



微信公众号

上海总部

上海市浦东新区纳贤路60号
5号楼401室 邮编：201210

苏州研发中心

江苏苏州市吴江区长安路2358号1栋5楼
邮编：215200

如欲了解更多详情，敬请访问 www.xpeedic.com

销售技术热线：Support@xpeedic.com