

高速接口利用 T-coil 的带宽提升解决方案

随着集成电路尺寸的缩小，以及集成电路工作速率的不断攀升，数据通信网络、微处理器、存储等产品的高速 IO 接口已经达到几十甚至上百 GHz 并对静电防护（ESD）越来越严格。然而，较大的 ESD 防护网络拥有高量级的电容，这对于接口带宽非常不利。是否能通过一种有效的方案，在不减少 ESD 电容的情况下，有效提升高速接口的带宽呢？

高速接口市场概况

随着市场对 5G、大型数据中心、人工智能领域需求的持续增长，要实现超量数据的传输，必然要用到高速接口，这带动了高速接口需求的井喷。。

另外，在 Memory、MCU、GPU、FPGA 等应用领域，传统的高速接口还不能满足现有的传输需求，其能耗、速率还有很大的提升空间，56G 高速接口已开始投产，112G 高速接口的研发设计也已启动。

与此同时，Foundry 的先进工艺节点不断精进突破至 7nm、5nm，为高速接口速率提升在物理层面提供了可行性。众多设计公司投入到各种高速接口 IP 开发中，希望背靠先进工艺，能够让自家高速接口 IP 应用于集成电路大系统中。

高速接口带宽提升的设计仿真挑战

1. IO 接口电容对带宽的恶化

为优化高速接口高频段的信号损耗，设计者通常会采用高灵敏度接收器及均衡器。然而，这些增加的电路模块不可避免地增大了系统功耗，因此我们希望能够找到办法尽可能减小这些 IO 接口的电容量。

接口电容主要是由 ESD 防护网络贡献，但是，较大的电压防护裕度导致 ESD 电容不宜设计得太小。另外，金属互联线和有源器件寄生电容都对 IO 接口电容带来不利影响，因此设计中的最大挑战在于如何不断减小这些接口电容，或者规避这些影响。

2. 传统带宽提升方案的不足

传统的带宽提升方案是 Inductive Peaking，即在负载端串接一个片上电感。受电感感抗随频率增加的影响，总的串联阻抗 ($RD+j\omega L$) 也会随频率增加，这样迫使大量电流流经负载电容，实现增益宽带一致性，从而提升工作带宽。

不过这种方案在高频时会有明显的阻抗不连续和回波损耗较差的问题，间接的又拉低了整个 3dB 工作带宽。目前 Inductive Peaking 方案最大能提升带宽 1.8 倍，如果要保证良好带内平坦度，最大只能提升带宽 1.6 倍，因此带宽提升仍有不足。

3. T-coil 带宽提升方案设计难度

对于高速 IO 接口的带宽提升方案，业界用的比较先进的方案是利用 T-coil 片上无源器件来实现。不过这种技术的原理及公式推导在 2003 年才公布于众，很多设计人员还不是很了解。而且 T-coil 无源器件共有 4 个指标参数，在设计仿真时，很多设计人员无从下手，不清楚如何设计优化这些关键参数。

芯和 T-coil 带宽提升设计仿真解决方案

芯和半导体针对高速 IO 接口带宽提升的问题，提供了对应的解决方案，即通过设计及仿真片上无源 T-coil 结构，最大限度地对接口电路实现阻抗、提升 3dB 带宽。

如图 1 所示，T-coil 是双端口桥式-T 网络的一种特例。它由两个互相耦合的电感（两个电感常常对称设计），和一个桥接电容（和电感进行并联谐振，进一步提升带宽）组成，实际设计中还要考虑两个电感的耦合因子、线上插损等因素。

当某个负载加到 T-coil 电路时，从节点 1 或 2 处看到的阻抗比较特殊；同时这两个节点到节点 3（一般连接负载电容）的传输函数（ V_{out}/V_{in} ）特性也比较有研究价值。

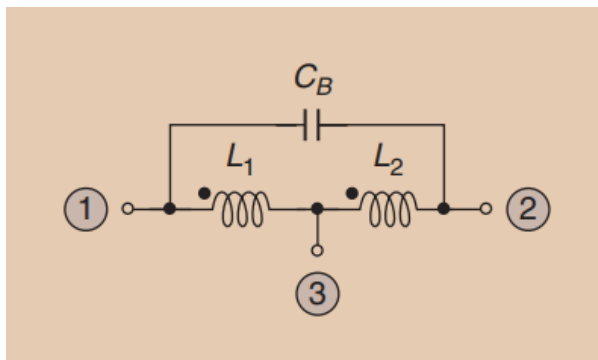


图 1 T-coil 拓扑图

1. T-coil 参数理论分析

芯和半导体已从设计理论层面对 T-coil 器件进行大量分析积累，T-coil 的关键设计指标是自感 L_1 、 L_2 ，耦合系数 K ，桥接电容 C_b 。因此首先要对这四个指标对应的等式方程有充分地理解，才能有的放矢地进行器件综合优化。

T-coil 传递函数如图 2 所示，是一个四阶函数，包括 2 个零点和 4 个极点（从分子的二次方程和分母的四次方程可看出）。其中， M 是 L_1 和 L_2 之间的互感。

$$\frac{V_{out}}{V_{in}}(s) = -g_m R_D \times \frac{a_2 s^2 + a_1 s + 1}{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + 1}, \quad (1)$$

where

$$a_2 = (L_1 + L_2 + 2M) C_B \quad (2)$$

$$a_1 = (L_2 + M)/R_D \quad (3)$$

$$b_4 = C_B C_L (L_1 L_2 - M^2) \quad (4)$$

$$b_3 = C_B C_L R_D (L_1 + L_2 + 2M) \quad (5)$$

$$b_2 = C_B (L_1 + L_2 + 2M) + C_L L_2 \quad (6)$$

$$b_1 = R_D C_L. \quad (7)$$

图 2 T-coil 带宽提升系统的传递函数

假设 $L_1=L_2=L$ ，并且选择好 L 的值，使得传递函数中分母的两个零点和分子中 2 个极点抵消掉。 L 值的选择，就是要满足下面两个条件式子，如下：

条件 1:

$$\frac{C_B}{C_L} = \frac{1}{4} \frac{1-k}{1+k}, \quad K \text{ 是耦合因子, } K=M/\sqrt{L_1 L_2}=M/L$$

条件 2:

$$\frac{k}{1+k} C_L = \frac{(1+k)L}{R_D^2} - 2C_B$$

通过两个条件带入四阶传递函数，可以用两个极点抵消 2 个零点，得到一个二阶传递函数，其方程如下：

$$\frac{V_{out}}{V_{in}}(s) = -g_m R_D \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

where

$$\omega_n^2 = \frac{2}{(1-k)LC_L}$$

$$\zeta = \frac{R_D C_L - (1+k)L/R_D}{\sqrt{2(1-k)LC_L}}$$

芯和半导体通过多次仿真验证并得出结论：当使用阻尼系数 $\xi=0.866$ 进行计算时，得到 T-coil 方案能提升 2.72 倍带宽，而 Inductive peaking 方案仅提升 1.6 倍带宽。很显然，采用 T-coil 的优势巨大。

2. T-coil 高效仿真建模

芯和半导体提供了基于神经网络算法的无源器件优化平台 iModeler，它内建了丰富的无源器件参数化模板，其中包含了 T-coil 版图结构。在 iModeler 软件中调用 T-coil 模板后，设计者可以进行各种物理尺寸参数化扫描，然后利用 4 种参数的 EM 公式进行器件多指标优化。

图 3 是基于 iModeler 的 T-coil 优化流程图，设计者在选择 T-coil 模板时，也可根据需要添加 shielding、dummy 等版图结构。

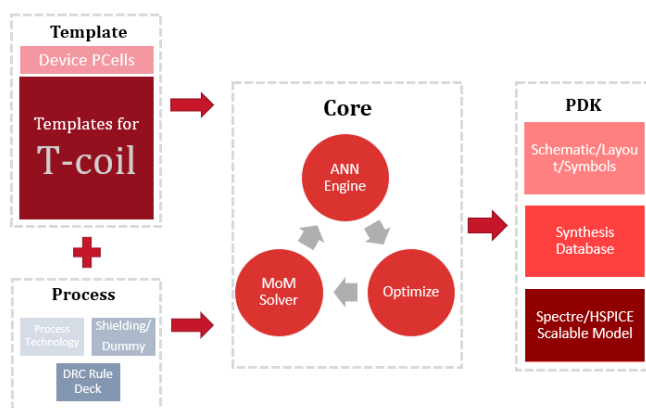


图 3 Xpeedic-iModeler 的 T-coil 器件优化流程

iModeler 软件集成于 Cadence 的 Virtuoso 环境中, 设计人员能快速调用仿真建模流程。通过选择期望的 T-coil 器件, 扫描多个物理尺寸, 设计师能得到多个拓扑结构的 S 参数模型, 如下图 4 界面所示。

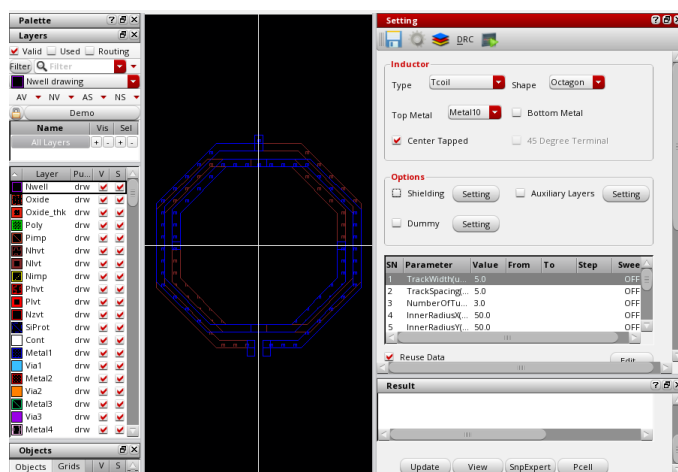


图 4 T-coil 优化扫描界面

3. T-coil 仿真后处理

在进行 T-coil 仿真设计过程中, 设计师需要利用电磁场公式对 T-coil 模型进行迭代分析, 观察仿真结果是否满足指标要求。

芯和半导体提供了强大的 S 参数后处理软件 SnpExpert, 它内置了丰富的 EM 公式, 通过这些 T-coil 公式可以快速分析仿真曲线是否符合要求。

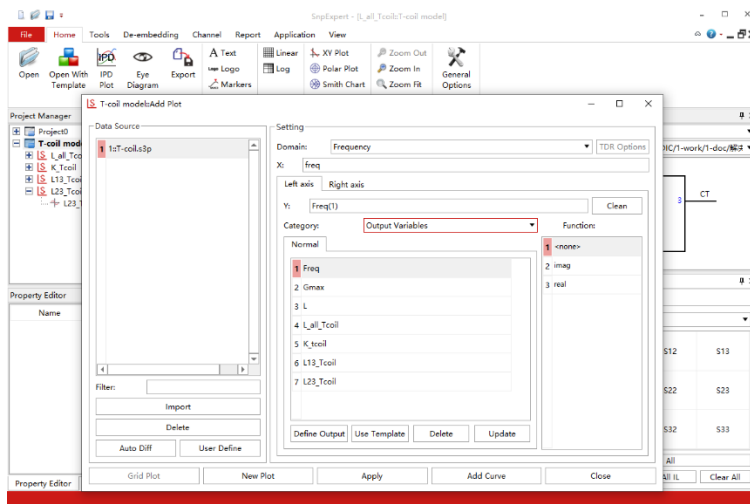


图 5 内置公式编辑

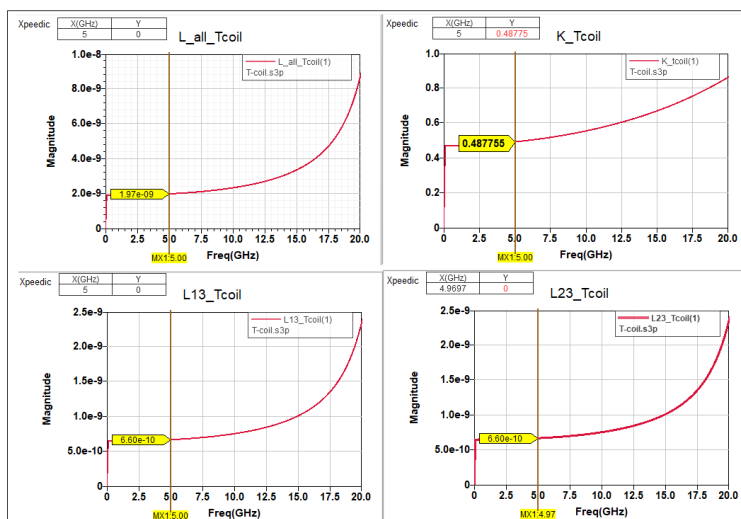


图 6 快速绘制结果曲线

4. 桥接电容扫描

芯和半导体提供的 iModeler 软件，在完成 T-coil 设计仿真建模后，能够将 T-coil 模型同步到 Cadence 电路设计和仿真环境中。为了验证 T-coil 方案的效果，我们分别搭建了理想和实际电路进行验证。

理想电路：T-coil 和桥接电容 C_b 都是按照理想元器件进行设置。

实际电路：T-coil 是电磁场仿真生成的模型。由于 T-coil 模型中已经存在线圈间耦合电容，所以桥接电容 C_b 要扣除这部分影响，否则结果有偏差。因此需要对 C_b 进行变量扫描，来找出最优值。

图 7 从左到右展示了三种验证电路，分别为无 T-coil 原始电路、含理想 T-coil 电路、基于仿真模型 T-coil 电路进。

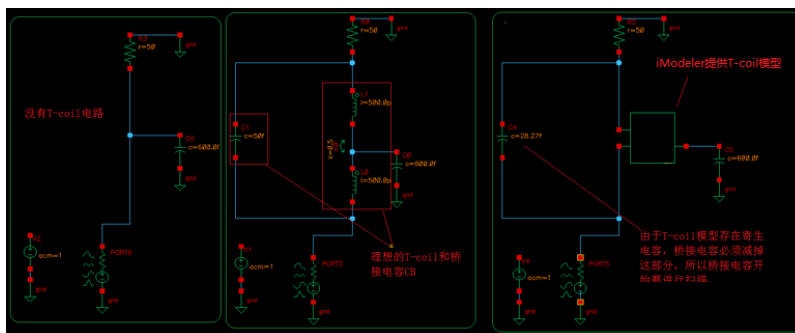


图 7 Tcoil 验证

图 8 是对实际电路中桥接电容 C_b 的扫描结果，分别为输入端的 S11（上图）和负载电容处的 3dB 带宽（下图）。图中可见，不同桥接电容对应的 S 参数曲线，需要根据插损和回损图选择最优的结果。

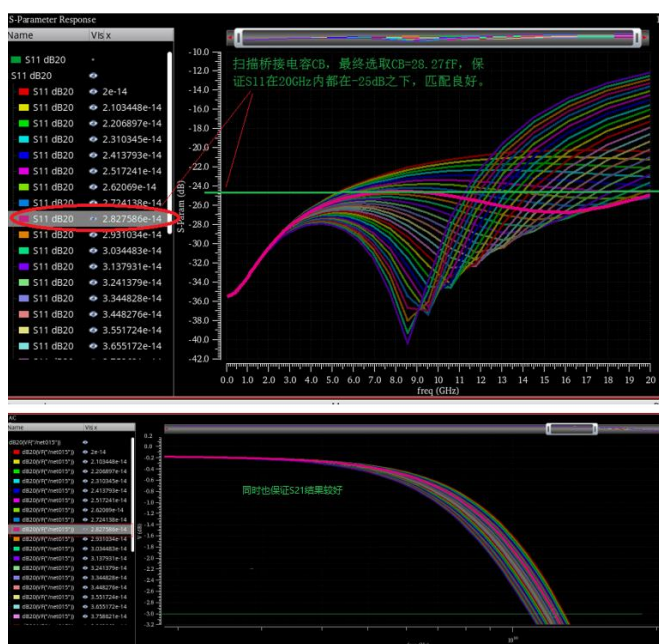


图 8 扫描结果

总结

本文首先从高速接口切入，讲述了负载电容对工作带宽的负面影响，并探讨了带宽提升有哪些途径，

接着对 T-coil 的参数公式进行推导，从理论的角度提出了最优的 T-coil 解决方案。最后使用芯片无源器件建模软件 iModeler 进行方案的实例验证。如果还想对接口电路性能做进一步优化，设计者可以参考更为详细的文档，从电路层面进行调整，然后再用 iModeler 进行模型实现，并按照这种思路反复迭代直至满足指标。