

如何快速准确的 “对信号总线进行电磁场建模分析”？

前言

目前的电子系统中，总线设计越来越普遍，特别是 DDRx 并行总线设计，其具有频率高、位数多等特点。随着频率的提高，信号的边沿越来越陡，电源电压越来越低，相反地，PCB 板空间却不断压缩，这就导致了总线设计的信号质量和时序裕量越来越小。因此，对高速并行总线互连设计中能够影响信号质量的因素进行仿真分析，尽可能提高系统的噪声容限与时序裕量，对于提升系统的性能及可靠性，缩短研发周期，节约设计成本，具有非常重要的意义。

本文介绍了采用芯和半导体 Hermes PSI 软件进行信号总线的电磁场建模和仿真分析流程。在常规仿真分析中，如果采用三维全波分析，仿真时间会很长。Hermes PSI 提供了一种针对信号总线的快速准确的建模分析方案。

信号总线电磁场建模分析流程

1. 设计文件导入

首先将 PCB 设计文件导入到 Hermes PSI 软件中，选择需要分析的总线以及参考平面（通常为 GND）；

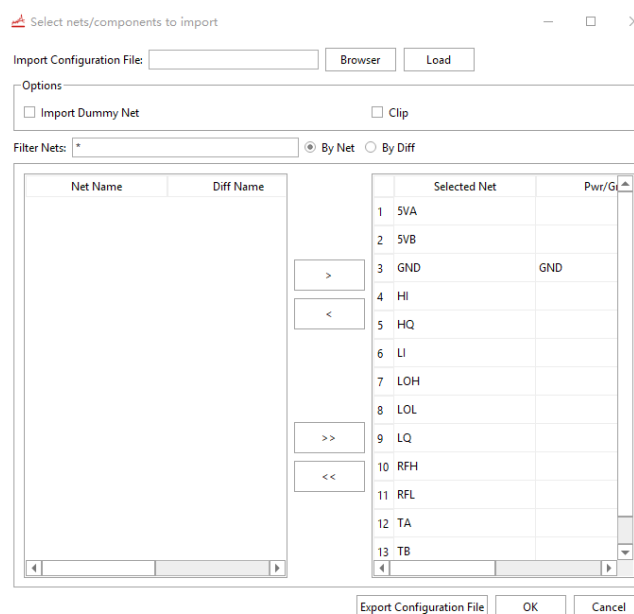


图 1: 选择所需导入的 Net

点击 OK 后，软件会对设计形成 2D 视图；

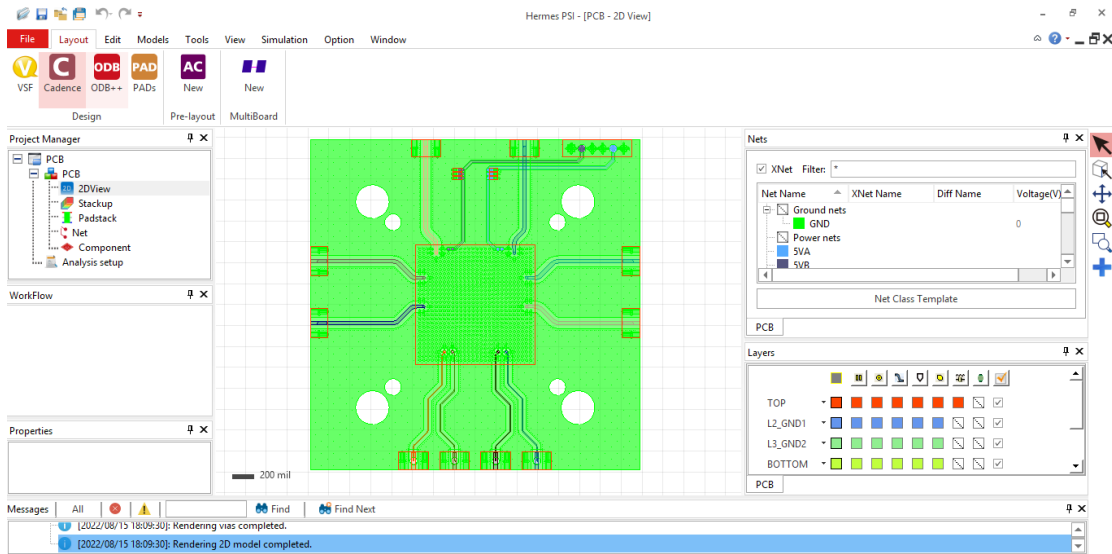


图 2: 设计的 2D 视图

2. Stackup 和 Materials 设置

双击结构树中的 Stackup 进入 Stackup 编辑界面，在该界面下用户可以根据 PCB 的叠层结构进行参数设置，包括每层的厚度、材料、介电常数、损耗角正切值等。

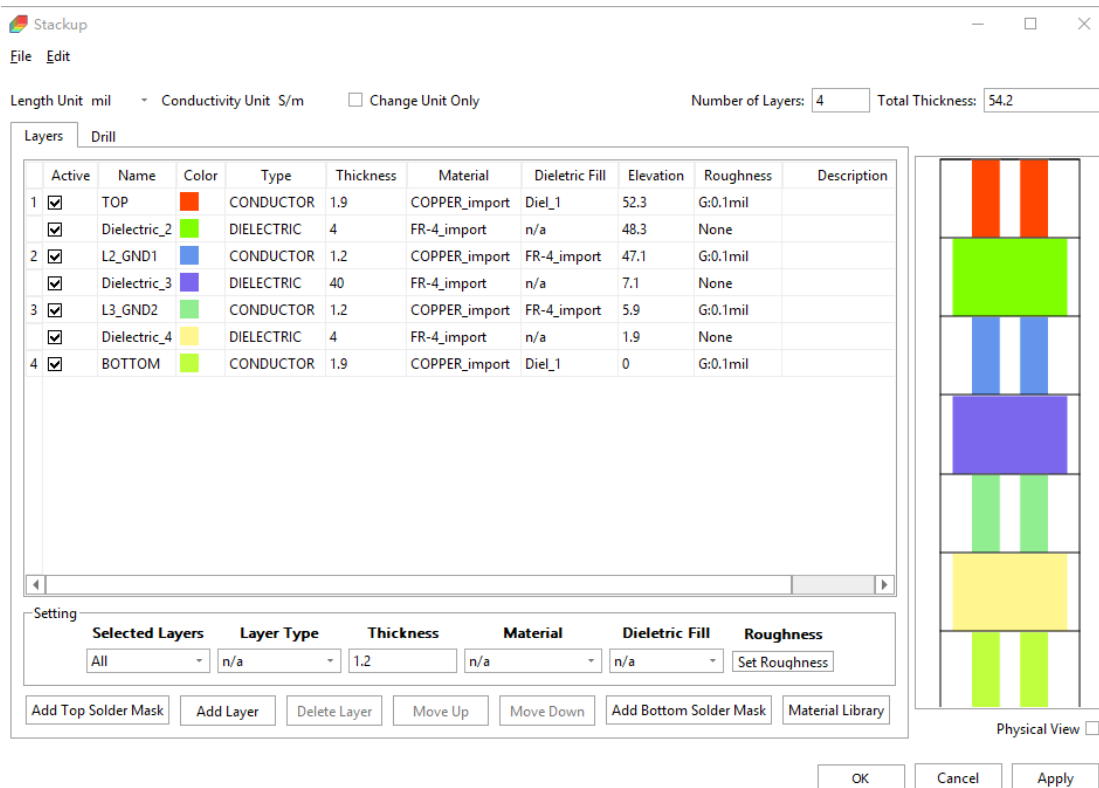


图 3: Stackup 编辑窗口

3. Padstack 设置

接下来双击结构树中的 Padstack 进入“Padstack Editor”界面，根据仿真需要设置 Padstack 的尺寸等参数。

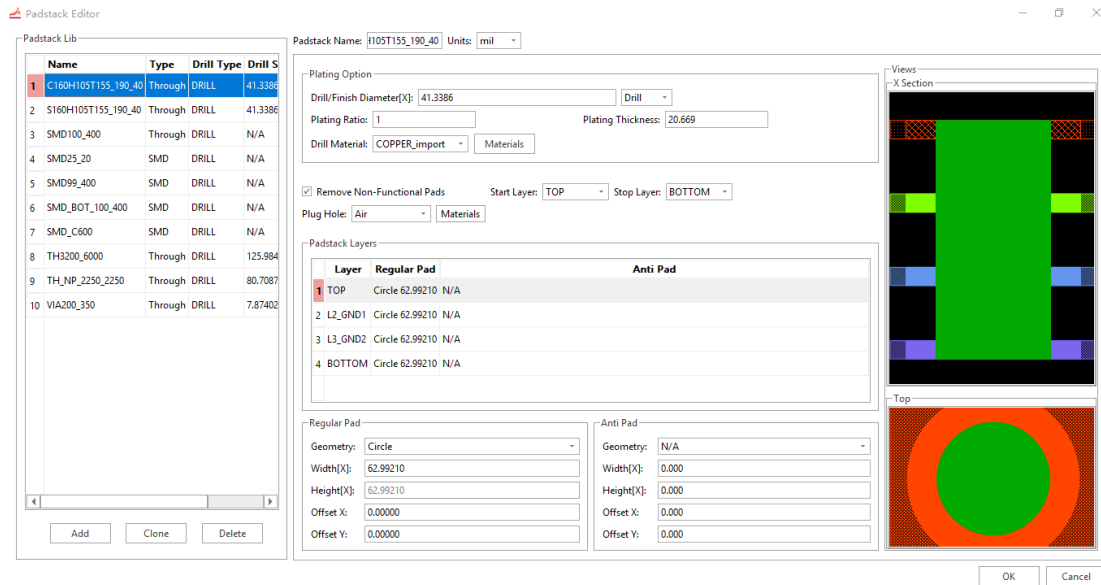


图 4: Padstack Editor 界面

4. 选择分析流程

点击 Analysis setup，右键，新建一个仿真流程，此案例选择 SI Model Extractor:

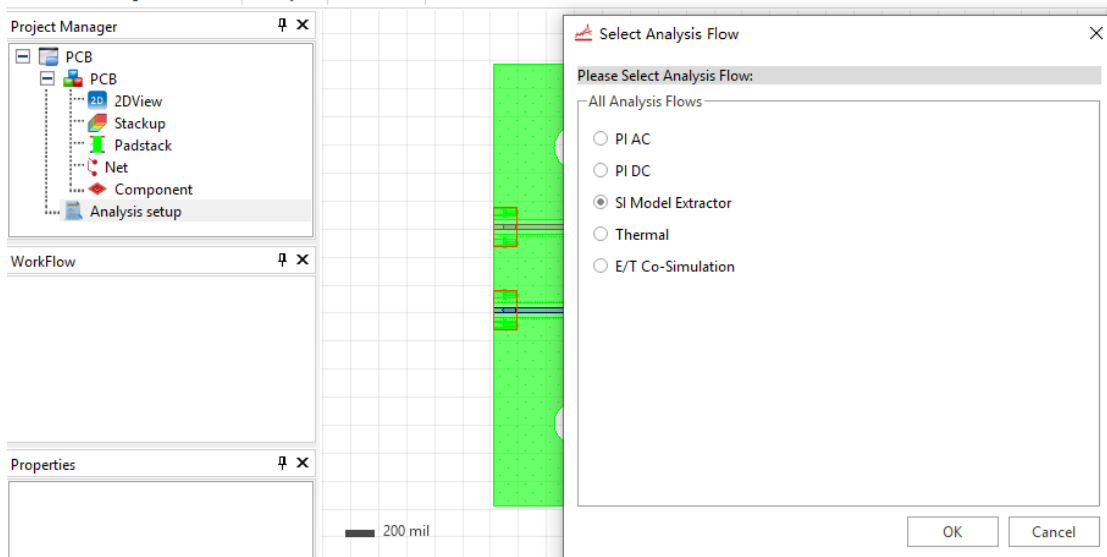


图 5: 仿真流程选择

选择 SI Model Extractor，点击 OK 后，会自动生成一个 SI Model Extractor Workflow:

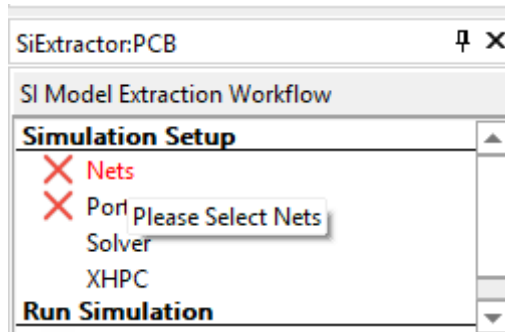


图 6: SI Model Extractor Workflow 界面

5. 选择需要仿真的 Nets

在 SI Model Extractor Workflow 中点击 Nets，进入到 Select Nets 界面中，选择需要仿真的 Nets 后，点击 OK。

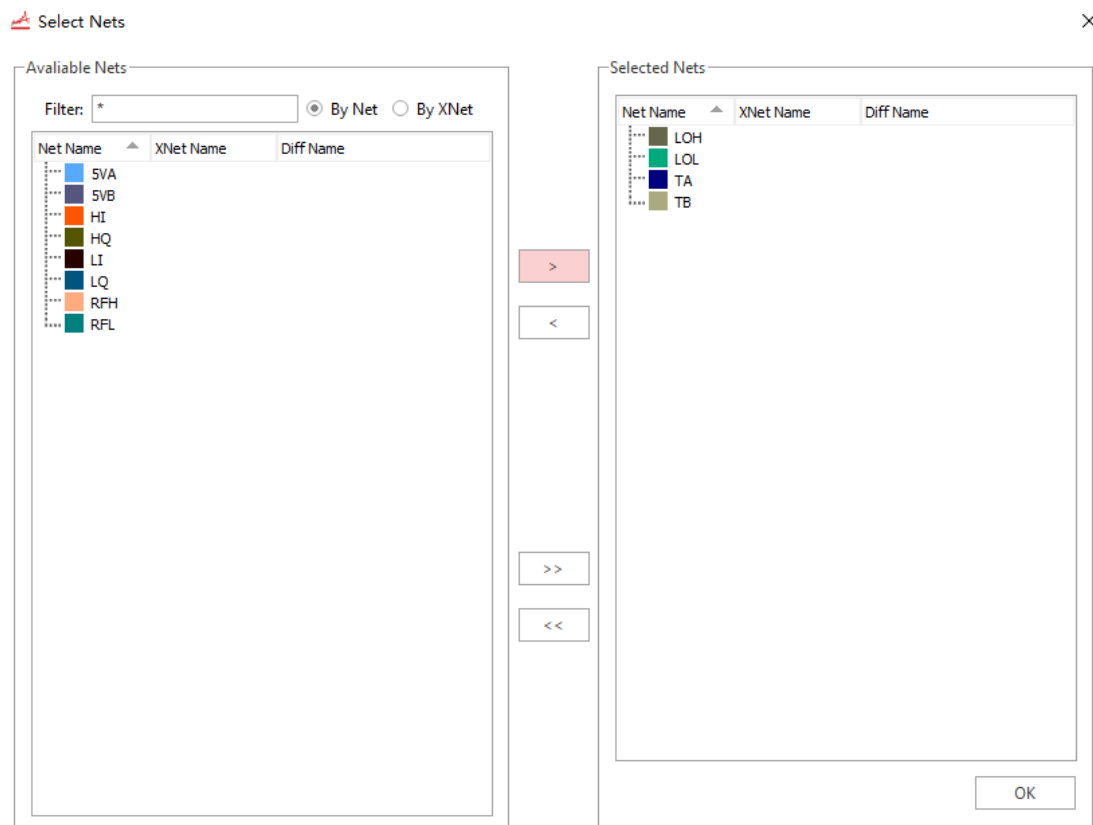


图 7: Select Nets 界面

6. 端口自动生成

软件对选择的 Nets 会自动生成对应的端口，不需要人工逐个对信号进行复杂的端口设置。

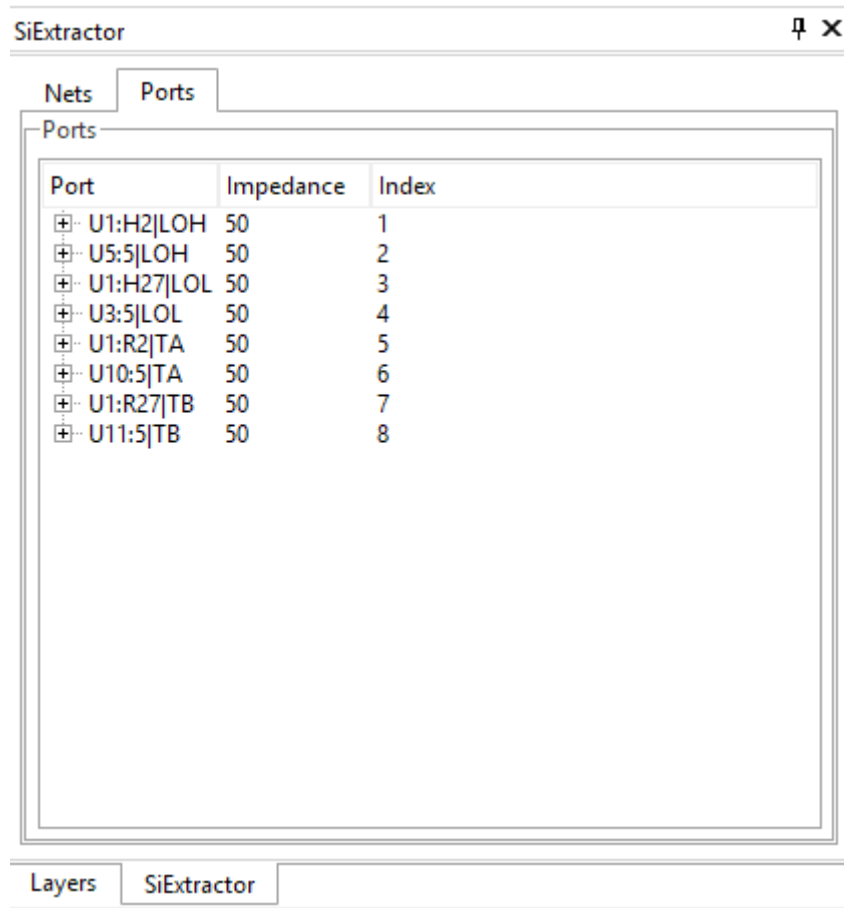


图 8: 端口自动生成

7. 求解器设置

在 SI Model Extractor Workflow 中点击 Solver, 进入到求解器的设置界面。在此界面中, 设计师可对仿真的仿真频率、求解器类型、Mesh Size 的大小、扫描选项、Via Model 以及 Trace Model 等进行详细的设置。

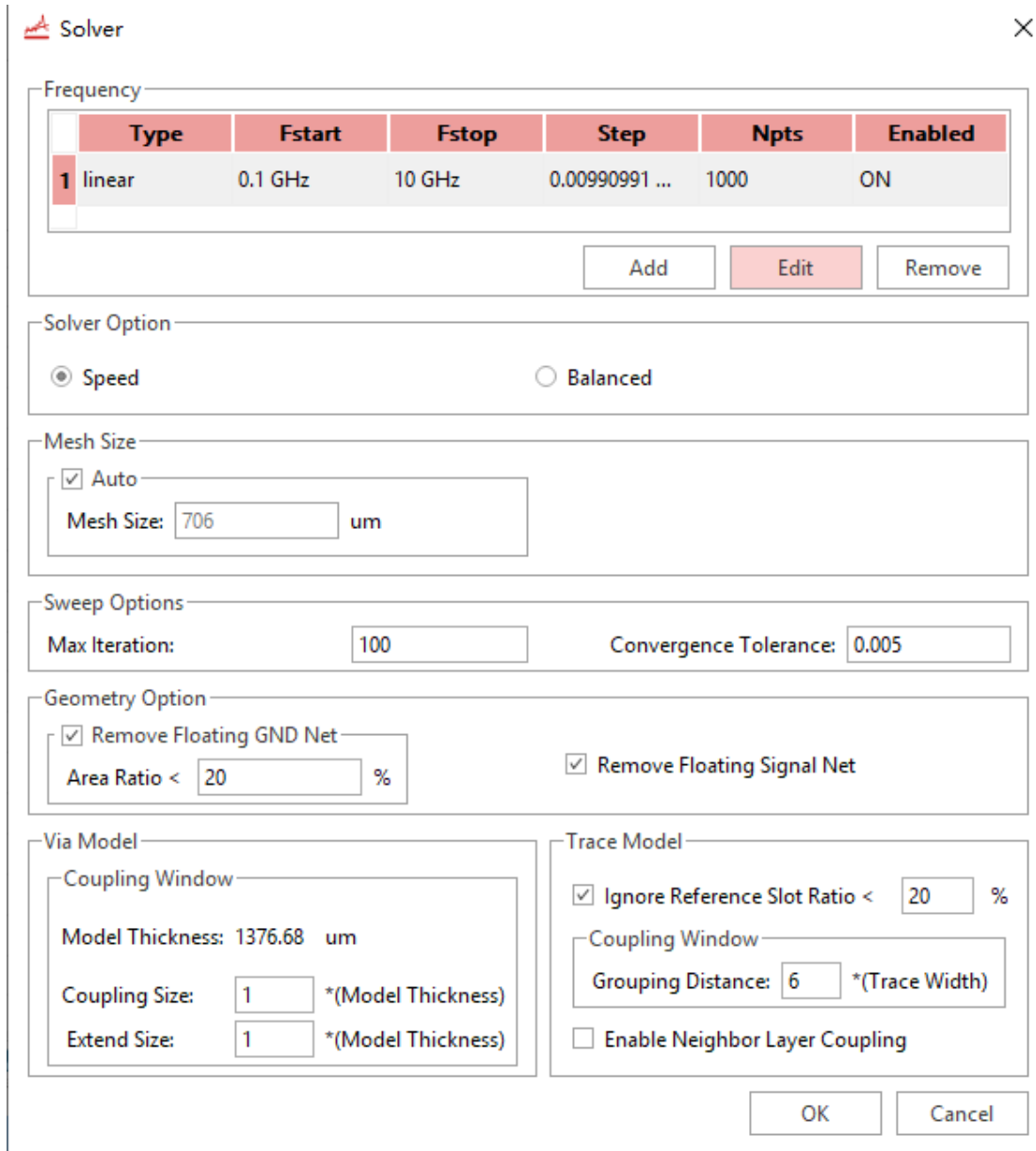


图 9: 求解器设置界面

8. 高性能计算配置

在 SI Model Extractor Workflow 中点击 XHPC, 进入到高性能计算的界面。在此界面中, 设计师可根据仿真需求以及仿真资源的实际情况对高性能计算进行详细的配置。

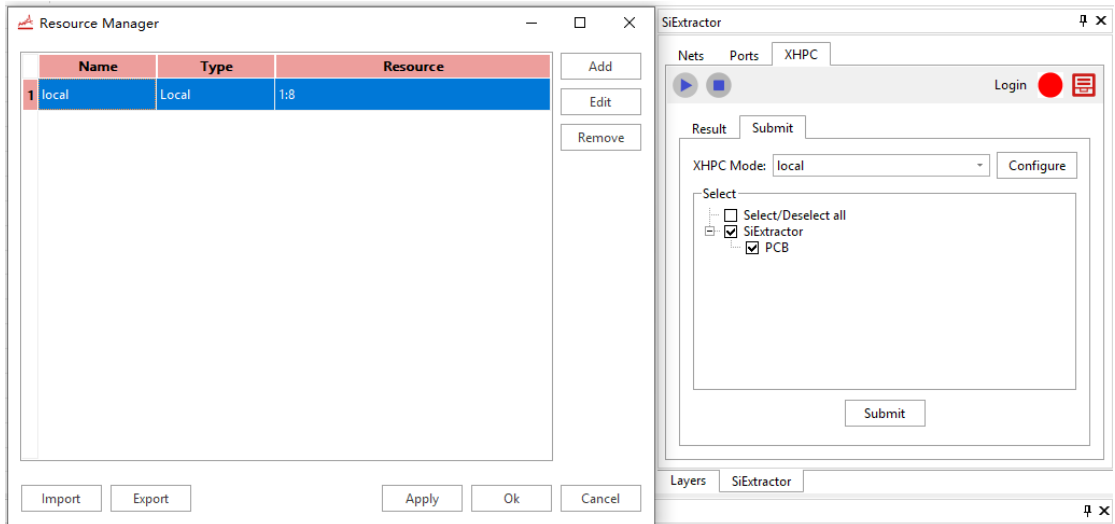


图 10: XHPC 配置界面

9. 仿真结果查看

仿真完成以后，软件会自动打开芯和的 SnpExpert 软件生成相应 S 参数结果，在 SnpExpert 中可对仿真结果进行查看和后处理分析。

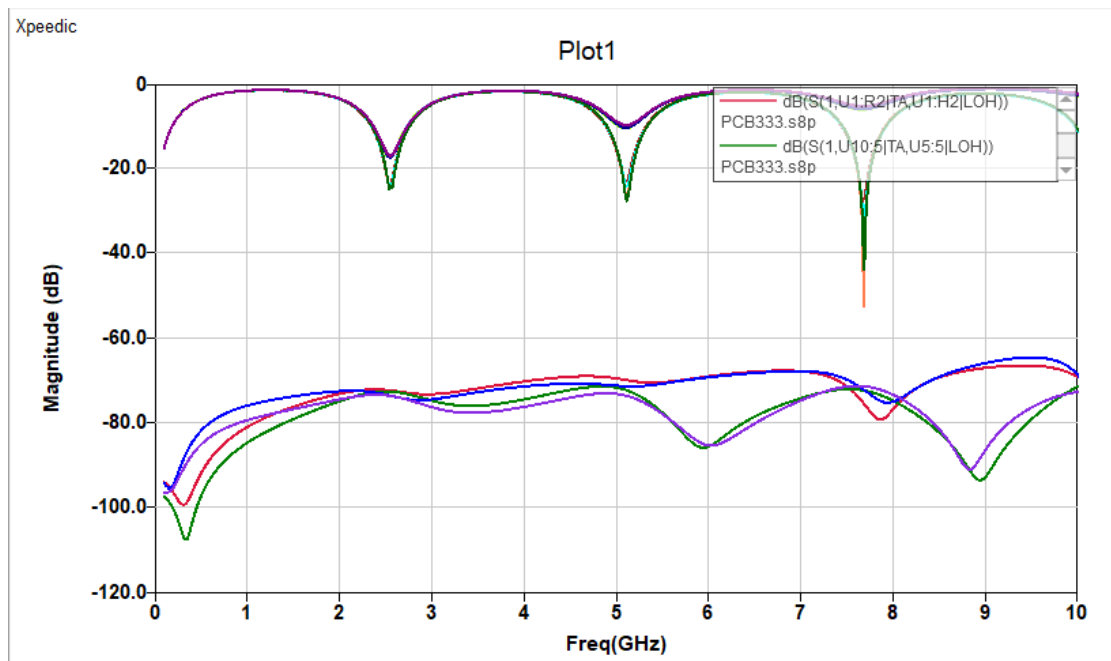


图 11: S 参数分析窗口

10. 总结

本文介绍了采用芯和半导体 Hermes PSI 软件进行信号总线的电磁场建模和仿真分析流程，步骤包括：设计文件导入、Stackup 和 Materials 设置、Padstack 设置、选择分析流程、选择需要仿真的 Nets、端口自动生成、求解器设置、高性能计算配置以及仿真结果查看。自动化的向导式操作流程，大大提高了工程师进行信号总线建模和仿真的效率，加快了产品的

设计和迭代。

芯和半导体 EDA 介绍

芯和半导体成立于 2010 年，是国内唯一提供“半导体全产业链仿真 EDA 解决方案”的供应商。芯和半导体 EDA 是新一代智能电子产品中设计高频/高速电子组件的首选工具，它包括了三大产品线：

- 芯片设计仿真产品线为晶圆厂提供了精准的 PDK 设计解决方案，为芯片设计公司提供了片上高频寄生参数提取与建模的解决方案；
- 先进封装设计仿真产品线为传统型封装和先进封装提供了高速高频电磁场仿真的解决方案；
- 高速系统设计仿真产品线为 PCB 板、组件、系统的互连结构提供了快速建模与无源参数抽取的仿真平台，解决了高速高频系统中的信号、电源完整性问题。

芯和半导体 EDA 的强大功能基于：自主知识产权的多种尖端电磁场和电路仿真求解技术、繁荣的晶圆厂和合作伙伴生态圈（芯和半导体 EDA 在所有主流晶圆厂的先进工艺节点和先进封装上得到了不断验证）、以及支持基于云平台的高性能分布式计算技术，在 5G、智能手机、物联网、汽车电子和数据中心等领域已得到广泛应用。



关于芯和半导体

芯和半导体是 EDA 软件、集成无源器件 IPD 和系统级封装领域的领先供应商。公司致力于为半导体芯片设计公司和系统厂商提供差异化的软件产品和芯片小型化解决方案，包

括射频 IC 设计、模拟混合信号设计、系统级封装设计和高速数字系统设计等。这些产品和方案在 5G、智能手机、物联网、人工智能和数据中心等领域得到广泛应用。

芯和半导体凭借以客户需求驱动发展的理念，赢得了众多客户的青睐。随着公司自有知识产权的不断开发，芯和半导体已经成为中国集成电路自动化软件技术和微电子技术行业的标杆企业。

芯和半导体创建于 2010 年，企业总部位于上海浦东张江，并在美国硅谷、中国北京、深圳、苏州、成都、西安设有销售和技术支持中心。如欲了解更多详情，敬请访问 www.xpeedic.cn。